

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-306990

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	B
G 0 2 F 1/1343			G 0 2 F 1/1343	
	1/136	5 0 0	1/136	5 0 0
H 0 1 L 21/306			H 0 1 L 21/306	S
21/8234			27/08	1 0 2 D
審査請求 未請求 請求項の数21 O L (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平8-119304

(22) 出願日 平成8年(1996)5月14日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 大堀 達也

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 堀 哲郎

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

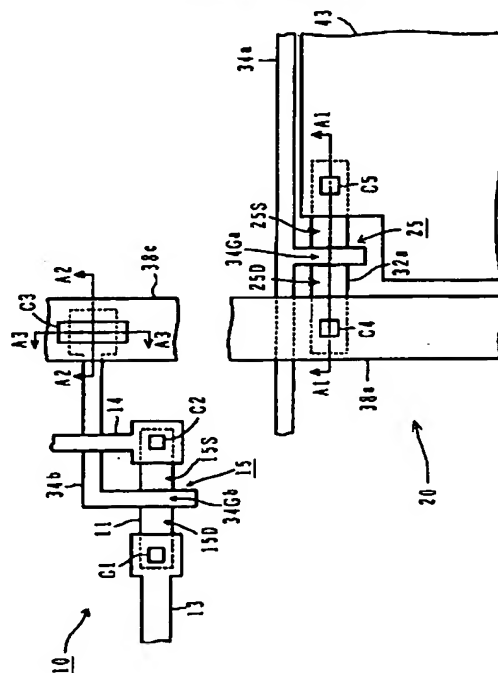
(54) 【発明の名称】 電子回路装置及びその製造方法

(57) 【要約】

【課題】 下層配線と上層配線との絶縁の信頼性を維持したまま、両配線の接続箇所においては、接続の信頼性を高めることができる電子回路装置及びその製造方法を提供する。

【解決手段】 上面を有する基板と、基板の上に配置され、導電性材料により形成された下層配線と、下層配線の表面を被覆する被覆絶縁膜と、基板の上に、被覆絶縁膜を覆うように形成された層間絶縁膜と、下層配線の内部領域から、該下層配線の外周を越えて外部領域まで延在する層間コンタクト領域に形成され、層間絶縁膜及び被覆絶縁膜を貫通する開口と、層間絶縁膜上の一部の領域、及び層間コンタクト領域に配置され、該層間コンタクト領域において下層配線と電気的に接続された上層配線とを有する。

第1の実施例によるTFT型LCD



(2)

1

## 【特許請求の範囲】

【請求項 1】 上面を有する基板と、  
前記基板の上に配置され、導電性材料により形成された下層配線と、  
前記下層配線の表面を被覆する被覆絶縁膜と、  
前記基板の上に、前記被覆絶縁膜を覆うように形成された層間絶縁膜と、  
前記下層配線の内部領域から、該下層配線の外周を越えて外部領域まで延在する層間コンタクト領域に形成され、前記層間絶縁膜及び前記被覆絶縁膜を貫通する開口と、  
前記層間絶縁膜上の一部の領域、及び前記層間コンタクト領域に配置され、該層間コンタクト領域において前記下層配線と電気的に接続された上層配線とを有する電子回路装置。

【請求項 2】 前記層間コンタクト領域内の前記基板の上面と前記層間絶縁膜とのエッチング耐性が相互に異なる請求項 1 に記載の電子回路装置。

【請求項 3】 さらに、  
前記基板の上面上の前記層間コンタクト領域とは異なる一部の領域に配置され、半導体材料により形成されたチャネル膜と、  
前記チャネル膜上の一部の領域に配置され、絶縁材料により形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に配置され、前記下層配線と同時に堆積されたゲート電極と、  
前記ゲート電極の表面を被覆し、前記被覆絶縁膜と同時に形成されたゲート被覆膜とを含み、  
前記チャネル膜のうち前記ゲート電極の両側の領域が低抵抗化されている薄膜トランジスタを有し、  
前記層間絶縁膜が前記薄膜トランジスタを被覆している請求項 1 または 2 に記載の電子回路装置。

【請求項 4】 さらに、前記基板の上面と前記下層配線との間に配置され、前記ゲート絶縁膜と同時に堆積された下層絶縁膜を有する請求項 3 に記載の電子回路装置。

【請求項 5】 さらに、  
前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち一方の領域にコンタクトホールを介して電気的に接続され、前記上層配線と同時に堆積されたドレイン配線と、  
前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電気的に接続された透明電極とを有する請求項 3 または 4 に記載の電子回路装置。

【請求項 6】 前記チャネル膜がポリシリコンにより形成され、前記層間絶縁膜が窒化シリコンにより形成され、  
さらに、ポリシリコン、窒化シリコンの双方とエッチング耐性が異なり、前記チャネル膜と前記層間絶縁膜との間に配置されたエッチング停止膜を有する請求項 5 に記

2

載の電子回路装置。

【請求項 7】 前記下層配線が、縞模様状に配置された領域を有し、前記層間コンタクト領域が前記下層配線の縞模様状に配置された領域において複数の縞と交差する請求項 1～6 のいずれかに記載の電子回路装置。

【請求項 8】 前記開口の側面のうち、前記被覆絶縁膜の表出している部分が、前記層間絶縁膜の表出している部分よりも窪んでいる請求項 1～7 のいずれかに記載の電子回路装置。

【請求項 9】 上面を有する基板の該上面の上に、下層金属配線を形成する工程と、  
前記下層金属配線の表面を陽極酸化して陽極酸化膜を形成する工程と、  
前記陽極酸化膜を被覆するように、前記基板の上に層間絶縁膜を形成する工程と、  
前記層間絶縁膜の上に、前記下層金属配線が形成された領域と形成されていない領域との境界線を跨いで 2 つの領域に跨った開口を有するマスクパターンを形成する工程と、  
前記マスクパターンをエッチングマスクとして、前記層間絶縁膜をエッチングしてコンタクトホールを形成し、コンタクトホールの内面に前記陽極酸化膜の一部を露出させる工程と、  
前記コンタクトホールの内面に露出した前記陽極酸化膜をエッチングし、前記下層金属配線の一部表面を露出させる工程と、  
前記層間絶縁膜の上、及び前記コンタクトホール内に、前記下層金属配線と電気的に接続される上層配線を形成する工程とを有する電子回路装置の製造方法。

【請求項 10】 前記層間絶縁膜をエッチングする工程が、異方性のドライエッチングによりエッチングし、前記陽極酸化膜をエッチングする工程が、等方性のウェットエッチングによりエッチングする請求項 9 に記載の電子回路装置の製造方法。

【請求項 11】 上面を有する基板と、  
前記基板の上に配置され、導電性材料により形成された下層配線と、  
前記下層配線の表面上に形成された被覆絶縁膜と、  
前記基板の上に、前記被覆絶縁膜を覆うように形成された層間絶縁膜と、  
前記下層配線の内部領域の一部に形成され、前記層間絶縁膜及び前記被覆絶縁膜を貫通する開口であって、該開口の側面のうち前記被覆絶縁膜の表出している部分が、前記層間絶縁膜の表出している部分よりも窪んでいる前記開口と、  
前記開口の側面上に、少なくとも前記被覆絶縁膜の表出した窪んだ部分をすべて埋め尽くすように形成された埋込領域と、  
前記層間絶縁膜の上、前記開口の内面、及び前記埋込領域の表面上に配置され、前記埋込領域とは異なる材料で

(3)

3

形成され、前記開口が形成された領域において前記下層配線と電気的に接続された上層配線とを有する電子回路装置。

【請求項 1 2】 前記埋込領域が、前記第 1 及び第 2 の開口の内周面上にのみ形成されている請求項 1 1 に記載の電子回路装置。

【請求項 1 3】 前記埋込領域が、前記上層配線よりも、成膜時にマイグレーションし易い金属により形成されている請求項 1 1 または 1 2 に記載の電子回路装置。

【請求項 1 4】 前記埋込領域が、無機絶縁性材料により形成されている請求項 1 2 に記載の電子回路装置。

【請求項 1 5】 さらに、前記基板の上の前記開口が形成された領域とは異なる一部の領域に配置され、半導体材料により形成されたチャネル膜と、

前記チャネル膜上の一部の領域に配置され、絶縁材料により形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に配置され、前記下層配線と同時に堆積されたゲート電極と、

前記ゲート電極の表面を被覆し、前記被覆絶縁膜と同時に形成されたゲート被覆膜とを含み、

前記チャネル膜のうち前記ゲート電極の両側の領域が低抵抗化されている薄膜トランジスタを有し、

前記層間絶縁膜が前記トランジスタを被覆している請求項 1 1 ～ 1 4 のいずれかに記載の電子回路装置。

【請求項 1 6】 さらに、前記基板の上面と前記下層配線との間に配置され、前記ゲート絶縁膜と同時に堆積された下層絶縁膜を有する請求項 1 5 に記載の電子回路装置。

【請求項 1 7】 さらに、前記層間絶縁膜上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち一方の領域にコンタクトホールを介して電気的に接続され、前記上層配線と同時に堆積されたドレイン配線と、

前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電気的に接続された透明電極とを有する請求項 1 5 または 1 6 に記載の電子回路装置。

【請求項 1 8】 前記チャネル膜がポリシリコンにより形成され、前記層間絶縁膜が窒化シリコンにより形成され、さらに、ポリシリコン、窒化シリコンの双方とエッチング耐性が異なり、前記チャネル膜と前記層間絶縁膜との間に配置されたエッチング停止膜を有する請求項 1 7 に記載の電子回路装置。

【請求項 1 9】 上面を有する基板の該上面の上に、下層金属配線を形成する工程と、前記下層金属配線の表面を陽極酸化して陽極酸化膜を形成する工程と、

前記陽極酸化膜を被覆するように、前記基板の上に層間

4

絶縁膜を形成する工程と、

前記層間絶縁膜の上に形成され、前記下層金属配線が形成された領域内の一部の領域に開口を有するマスクパターンを形成する工程と、

前記マスクパターンをエッチングマスクとして、前記層間絶縁膜をエッチングしてコンタクトホールを形成し、コンタクトホールの内面に前記陽極酸化膜の一部を露出させる工程と、

前記コンタクトホールの内面に露出した前記陽極酸化膜を等方的にエッチングする工程と、

前記陽極酸化膜がサイドエッチングされて形成された窪み内を含む基板表面に、前記窪みの深さと等しいかまたはそれよりも厚い膜厚を有する埋込膜を堆積する工程と、

少なくとも前記埋込膜の表面を覆い、該埋込膜と異なる材料で形成され、前記コンタクトホール部で前記下層金属配線と電気的に接続された上層配線層を堆積する工程と、

前記上層配線層をパターンニングして上層配線を形成する工程とを有し、

前記埋込膜が、前記上層配線層よりも、成膜時にマイグレーションし易い材料により形成されている電子回路装置の製造方法。

【請求項 2 0】 さらに、前記埋込膜を堆積する工程の後、基板平坦面上に形成された前記埋込膜を異方性エッチングを用いて除去し、前記コンタクトホールの側面上及び前記凹部内に前記埋込膜を残すとともに、前記コンタクトホールの底面に前記下層金属配線の表面を露出させる工程を含む請求項 1 9 に記載の電子回路装置の製造方法。

【請求項 2 1】 前記埋込膜が絶縁材料で形成されている請求項 2 0 に記載の電子回路装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、多層配線を用いた電子回路装置及びその製造方法に関し、特に下層配線の表面を絶縁膜で被覆し、この被覆絶縁膜上に層間絶縁膜を形成した電子回路装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】図 8 は、薄膜トランジスタ (TFT) を用いた液晶表示パネル (LCD) における下層配線と上層配線との接続部の断面を示す。

【0 0 0 3】ガラス基板 1 0 0 の表面上にゲート絶縁膜 1 0 1 が形成されている。TFT が形成される領域においては、ガラス基板 1 0 0 とゲート絶縁膜 1 0 1 との間にポリシリコン膜が配置される。このポリシリコン膜が、TFT のチャネル及びソース/ドレイン領域を構成する。図 8 は、上層配線と下層配線との接続部を示しているため、図示された領域にポリシリコン膜は形成されていない。

【0 0 0 4】図 9 は、前記図 8 の断面に、前記ゲート絶縁膜 1 0 1 の表面に、前記ゲート電極の表面を被覆する絶縁膜 1 0 2 を形成した状態を示す。この絶縁膜 1 0 2 は、前記ゲート電極の表面を被覆し、前記ゲート電極の両側の領域にコンタクトホールを介して電気的に接続され、前記上層配線と同時に堆積されたドレイン配線と、前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電気的に接続された透明電極とを有する請求項 1 5 または 1 6 に記載の電子回路装置。

【0 0 0 5】図 10 は、前記図 9 の断面に、前記絶縁膜 1 0 2 の表面を被覆する絶縁膜 1 0 3 を形成した状態を示す。この絶縁膜 1 0 3 は、前記絶縁膜 1 0 2 の表面を被覆し、前記絶縁膜 1 0 2 の両側の領域にコンタクトホールを介して電気的に接続され、前記上層配線と同時に堆積されたドレイン配線と、前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電気的に接続された透明電極とを有する請求項 1 5 または 1 6 に記載の電子回路装置。

【0 0 0 6】図 11 は、前記図 10 の断面に、前記絶縁膜 1 0 3 の表面を被覆する絶縁膜 1 0 4 を形成した状態を示す。この絶縁膜 1 0 4 は、前記絶縁膜 1 0 3 の表面を被覆し、前記絶縁膜 1 0 3 の両側の領域にコンタクトホールを介して電気的に接続され、前記上層配線と同時に堆積されたドレイン配線と、前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電気的に接続された透明電極とを有する請求項 1 5 または 1 6 に記載の電子回路装置。

【0 0 0 7】図 12 は、前記図 11 の断面に、前記絶縁膜 1 0 4 の表面を被覆する絶縁膜 1 0 5 を形成した状態を示す。この絶縁膜 1 0 5 は、前記絶縁膜 1 0 4 の表面を被覆し、前記絶縁膜 1 0 4 の両側の領域にコンタクトホールを介して電気的に接続され、前記上層配線と同時に堆積されたドレイン配線と、前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電気的に接続された透明電極とを有する請求項 1 5 または 1 6 に記載の電子回路装置。

【0 0 0 8】図 13 は、前記図 12 の断面に、前記絶縁膜 1 0 5 の表面を被覆する絶縁膜 1 0 6 を形成した状態を示す。この絶縁膜 1 0 6 は、前記絶縁膜 1 0 5 の表面を被覆し、前記絶縁膜 1 0 5 の両側の領域にコンタクトホールを介して電気的に接続され、前記上層配線と同時に堆積されたドレイン配線と、前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電気的に接続された透明電極とを有する請求項 1 5 または 1 6 に記載の電子回路装置。

【0 0 0 9】図 14 は、前記図 13 の断面に、前記絶縁膜 1 0 6 の表面を被覆する絶縁膜 1 0 7 を形成した状態を示す。この絶縁膜 1 0 7 は、前記絶縁膜 1 0 6 の表面を被覆し、前記絶縁膜 1 0 6 の両側の領域にコンタクトホールを介して電気的に接続され、前記上層配線と同時に堆積されたドレイン配線と、前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電気的に接続された透明電極とを有する請求項 1 5 または 1 6 に記載の電子回路装置。

【0 0 1 0】図 15 は、前記図 14 の断面に、前記絶縁膜 1 0 7 の表面を被覆する絶縁膜 1 0 8 を形成した状態を示す。この絶縁膜 1 0 8 は、前記絶縁膜 1 0 7 の表面を被覆し、前記絶縁膜 1 0 7 の両側の領域にコンタクトホールを介して電気的に接続され、前記上層配線と同時に堆積されたドレイン配線と、前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電気的に接続された透明電極とを有する請求項 1 5 または 1 6 に記載の電子回路装置。

【0 0 1 1】図 16 は、前記図 15 の断面に、前記絶縁膜 1 0 8 の表面を被覆する絶縁膜 1 0 9 を形成した状態を示す。この絶縁膜 1 0 9 は、前記絶縁膜 1 0 8 の表面を被覆し、前記絶縁膜 1 0 8 の両側の領域にコンタクトホールを介して電気的に接続され、前記上層配線と同時に堆積されたドレイン配線と、前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電気的に接続された透明電極とを有する請求項 1 5 または 1 6 に記載の電子回路装置。

(4)

5

【0004】ゲート絶縁膜101の上にアルミニウムからなるゲート配線102が形成されている。ゲート配線102は、TFTのゲート電極と同一の工程で堆積されパターニングされる。ゲート配線102の表面にアルミニウムを陽極酸化した陽極酸化膜103が形成され、陽極酸化膜103の表面を含む基板全面に層間絶縁膜104が形成されている。

【0005】層間絶縁膜104の上にアルミニウムからなるドレイン配線105が形成されている。ドレイン配線105は、TFTのドレイン電極と同一の工程で堆積されパターニングされる。ゲート配線102とドレイン配線105は、画素が配置された領域において格子状に配置される。両配線は、その交差箇所において層間絶縁膜104により相互に絶縁される。陽極酸化膜103は、ゲート配線102とドレイン配線105との間の絶縁の信頼性を高める機能を有する。

【0006】周辺回路一体型LCDの場合、周辺回路において1つのトランジスタの出力信号で他のトランジスタを駆動する場合がある。このとき、前段のトランジスタのドレイン配線を後段のトランジスタのゲート配線に接続する。

【0007】ゲート配線とドレイン配線とを接続する場合には、ドレイン配線層を堆積する前に、層間絶縁膜104及び陽極酸化膜103にコンタクトホール106を形成する。コンタクトホール106を形成するための層間絶縁膜104のエッチングは、異方性のドライエッチングにより行われる。

【0008】陽極酸化膜103のエッチングは、ゲート配線102とのエッチング選択比の大きな適当なエッチングガスがないため、例えばクロム混酸 ( $\text{CrO}_3 \cdot \text{HNO}_3 \cdot \text{H}_3\text{PO}_4 \cdot \text{CH}_3\text{COOH} + n\text{H}_2\text{O}$ ) を用いた等方性のウェットエッチングにより行われる。このため、陽極酸化膜103がサイドエッチングされ、コンタクトホール106の内周部の下側部分に窪み107が形成される。

【0009】コンタクトホール106を形成した基板表面全面にドレイン配線層をスパッタリング等により堆積する。コンタクトホール106の内周部に窪み107が形成されているため、コンタクトホール部におけるカバレッジ率が低下し、ドレイン配線の断線が発生しやすくなる。すなわち、画素が形成された領域においてゲート配線とドレイン配線との短絡を防止するための陽極酸化膜が、周辺回路を形成する領域においてゲート配線とドレイン配線との接続を困難にしている。

【0010】

【発明が解決しようとする課題】 上述のように、画素が配置される領域においてゲート配線とドレイン配線との絶縁の信頼性を高めるためにゲート配線の表面を陽極酸化すると、周辺回路が配置される領域において、ゲート配線とドレイン配線との接続箇所の信頼性が低下する。

6

【0011】本発明の目的は、下層配線と上層配線との絶縁の信頼性を維持したまま、両配線の接続箇所においては、接続の信頼性を高めることができる電子回路装置及びその製造方法を提供することである。

【0012】

【課題を解決するための手段】 本発明の一観点によると、上面を有する基板と、前記基板の上に配置され、導電性材料により形成された下層配線と、前記下層配線の表面を被覆する被覆絶縁膜と、前記基板の上に、前記被覆絶縁膜を覆うように形成された層間絶縁膜と、前記下層配線の内部領域から、該下層配線の外周を越えて外部領域まで延在する層間コンタクト領域に形成され、前記層間絶縁膜及び前記被覆絶縁膜を貫通する開口と、前記層間絶縁膜上の一部の領域、及び前記層間コンタクト領域に配置され、該層間コンタクト領域において前記下層配線と電気的に接続された上層配線とを有する電子回路装置が提供される。

【0013】被覆絶縁膜に第1の開口を形成するとき、被覆絶縁膜がサイドエッチングされる場合がある。被覆絶縁膜がサイドエッチングされると開口の内周面に窪みが形成され、上層配線のカバレッジ率が低下してしまう。第2の開口を、第1の配線が形成されていない領域まで延在して配置すると、第1の配線の外部領域においては、第2の開口の内周面に被覆絶縁膜が現れない。従って、この領域の内周面に窪みが形成されないため、カバレッジ率の低下を防止することができる。

【0014】本発明の他の観点によると、上面を有する基板の該上面の上に、下層金属配線を形成する工程と、前記下層金属配線の表面を陽極酸化して陽極酸化膜を形成する工程と、前記陽極酸化膜を被覆するように、前記基板の上に層間絶縁膜を形成する工程と、前記層間絶縁膜の上に、前記下層金属配線が形成された領域と形成されていない領域との境界線を跨いで2つの領域に跨った開口を有するマスクパターンを形成する工程と、前記マスクパターンをエッチングマスクとして、前記層間絶縁膜をエッチングしてコンタクトホールを形成し、コンタクトホールの内面に前記陽極酸化膜の一部を露出させる工程と、前記コンタクトホールの内面に露出した前記陽極酸化膜をエッチングし、前記下層金属配線の一部表面を露出させる工程と、前記層間絶縁膜の上、及び前記コンタクトホール内に、前記下層金属配線と電気的に接続される上層配線を形成する工程とを有する電子回路装置の製造方法が提供される。

【0015】陽極酸化膜をエッチングしてコンタクトホールを形成するとき、陽極酸化膜がサイドエッチングされる場合がある。陽極酸化膜がサイドエッチングされるとコンタクトホールの内周面に窪みが形成され、上層配線のカバレッジ率が低下してしまう。コンタクトホールを下層金属配線の外部領域まで延在して配置すると、下層金属配線の外部領域においては、コンタクトホール

(5)

7

の内周面に陽極酸化膜が現れない。従って、この領域の内周面に窪みが形成されないため、カバレッジ率の低下を防止することができる。

【0016】本発明の他の観点によると、上面を有する基板と、前記基板の上に配置され、導電性材料により形成された下層配線と、前記下層配線の表面上に形成された被覆絶縁膜と、前記基板の上に、前記被覆絶縁膜を覆うように形成された層間絶縁膜と、前記下層配線の内部領域の一部に形成され、前記層間絶縁膜及び前記被覆絶縁膜を貫通する開口であって、該開口の側面のうち前記被覆絶縁膜の表出している部分が、前記層間絶縁膜の表出している部分よりも窪んでいる前記開口と、前記開口の側面上に、少なくとも前記被覆絶縁膜の表出した窪んだ部分をすべて埋め尽くすように形成された埋込領域と、前記層間絶縁膜の上、前記開口の内面、及び前記埋込領域の表面上に配置され、前記埋込領域とは異なる材料で形成され、前記開口が形成された領域において前記下層配線と電気的に接続された上層配線とを有する電子回路装置が提供される。

【0017】開口の内周面の窪んだ部分を埋込領域で埋め尽くすことにより、上層配線のカバレッジ率の低下を防止することができる。本発明の他の観点によると、上面を有する基板の該上面の上に、下層金属配線を形成する工程と、前記下層金属配線の表面を陽極酸化して陽極酸化膜を形成する工程と、前記陽極酸化膜を被覆するように、前記基板の上に層間絶縁膜を形成する工程と、前記層間絶縁膜の上に形成され、前記下層金属配線が形成された領域内の一部の領域に開口を有するマスクパターンを形成する工程と、前記マスクパターンをエッチングマスクとして、前記層間絶縁膜をエッチングしてコンタクトホールを形成し、コンタクトホールの内面に前記陽極酸化膜の一部を露出させる工程と、前記コンタクトホールの内面に露出した前記陽極酸化膜を等方的にエッチングする工程と、前記陽極酸化膜がサイドエッチングされて形成された窪み内を含む基板表面に、前記窪みの深さと等しいかまたはそれよりも厚い膜厚を有する埋込膜を堆積する工程と、少なくとも前記埋込膜の表面を覆い、該埋込膜と異なる材料で形成され、前記コンタクトホール部で前記下層金属配線と電気的に接続された上層配線層を堆積する工程と、前記上層配線層をパターンニングして上層配線を形成する工程とを有し、前記埋込膜が、前記上層配線層よりも、成膜時にマイグレーションし易い材料により形成されている電子回路装置の製造方法が提供される。

【0018】コンタクトホールの内周面の窪みを埋込膜で埋め尽くすことにより、上層配線のカバレッジ率の低下を防止することができる。

【0019】

【発明の実施の形態】図1～図5を参照して、本発明の第1の実施例によるTFT型LCDの構成及び製造方法

8

を説明する。

【0020】図1は、第1の実施例によるTFT型LCDの部分平面図を示す。TFT型LCDは、周辺回路部10と画素部20に分けられる。画素部20には、図の横方向に延在するゲート線34aと縦方向に延在するドレイン線38aが格子状に配置されている。ゲート線34aとドレイン線38aは、例えばアルミニウムにより形成され、両配線は、その交差箇所において層間絶縁膜により相互に絶縁されている。

【0021】ゲート線34aとドレイン線38aとの交差箇所に対応してTFT25が配置されている。TFT25は、長形状のポリシリコン膜32aと、その上にゲート絶縁膜を介して配置されたゲート電極34Gaを含んで構成される。ゲート電極34Gaはゲート線34aに連続している。ポリシリコン膜32aには、ゲート電極34Gaの両側の領域に導電性を付与するための不純物、例えばn型にする場合にはリン(P)、p型にする場合にはボロン(B)等の不純物が添加され、ドレイン領域25D及びソース領域25Sが画定されている。

【0022】ドレイン領域25Dは、コンタクトホールC4を介してドレイン線38aに接続されている。ソース領域25Sは、コンタクトホールC5を介してインジウムスズオキサイド(ITO)等からなる透明画素電極43に接続されている。

【0023】周辺回路部10には、TFT15が配置されている。TFT15は、TFT25の構成と同様の基本構成を有し、ポリシリコン膜11及びゲート電極34Gbを含んで構成されている。ゲート電極34Gbはゲート線34bに連続し、ゲート線34bは、コンタクトホールC3を介してドレイン線38cに接続されている。コンタクトホールC3は、ゲート線34bが配置された領域の外周部まではみ出して配置されている。

【0024】ドレイン領域15DはコンタクトホールC1を介して上層配線13に接続され、ソース領域15SはコンタクトホールC2を介して上層配線14に接続されている。

【0025】次に、図2A～図2D、図3～図5を参照してLCDの作製方法を説明する。図2A～図5は、図1に示すLCDの部分断面図であり、各図の左側、中央及び右側の断面図が、それぞれ図1の一点鎖線A1-A1、A2-A2、及びA3-A3における断面図に対応する。

【0026】図2Aに示すように、透明ガラス基板30の上に、原料ガスとしてシラン( $\text{SiH}_4$ )と酸素( $\text{O}_2$ )を用いたプラズマ励起型化学気相堆積(PECVD)により、厚さ200nmの下地 $\text{SiO}_2$ 膜31を堆積する。下地 $\text{SiO}_2$ 膜31の上に、原料ガスとして水素( $\text{H}_2$ )希釈の $\text{SiH}_4$ を用いたPECVDにより、厚さ50nmのアモルファスシリコン膜を堆積する。アモルファスシリコン膜を堆積後、エネルギー密度2

(6)

9

50 mJ/cm<sup>2</sup> のエキシマレーザを用いたレーザアニールにより、アモルファスシリコンを結晶化し、ポリシリコン膜32を形成する。

【0027】図2Bに示すように、ポリシリコン膜32をパターニングし、図1のTFT25を形成すべき領域にポリシリコン膜32aを残す。なお、このとき図1のTFT15を形成すべき領域にもポリシリコン膜11を残す。ポリシリコン膜32のパターニングは、例えばエッチングガスとしてCF<sub>4</sub>を用いた反応性イオンエッチング(RIE)により行う。

【0028】ポリシリコン膜32aを覆うように、基板の上面の全領域にPE-CVDにより、SiO<sub>2</sub>からなる厚さ150 nmのゲート絶縁膜33を堆積する。ゲート絶縁膜33の上に、スパッタリングによりAlからなる厚さ300 nmのゲート配線層34を堆積する。

【0029】図2Cに示すように、ゲート配線層34をパターニングし、ポリシリコン膜32a上の一部の領域にゲート電極34Gaを残し、配線を形成すべき領域にゲート線34bを残す。このとき、図1に示すゲート線34a、ゲート電極34Gbも同時に形成される。ゲート配線層34のパターニングは、例えば、エッチングガスとしてCl<sub>2</sub>とBCl<sub>3</sub>との混合ガスを用いたRIEにより行う。

【0030】基板をシュウ酸((COOH)<sub>2</sub>・2H<sub>2</sub>O)に浸漬してゲート電極34Ga及びゲート線34bの表面を陽極酸化し、それぞれの表面にAl<sub>2</sub>O<sub>3</sub>からなる厚さ120 nmの陽極酸化膜35a及び35bを形成する。他のゲート電極及びゲート線も陽極酸化膜で覆われる。

【0031】図2Dに示すように、陽極酸化膜35a及び35bをエッチングマスクとし、エッチングガスとしてCHF<sub>3</sub>を用いたRIEにより、ゲート絶縁膜33をエッチングする。ゲート電極34Gaの両側の領域においてポリシリコン膜32aの表面が露出した時点でエッチングを停止する。

【0032】ゲート電極34Ga及び陽極酸化膜35aをマスクとしてポリシリコン膜32aに不純物をイオン注入する。nチャネル型TFTを形成する領域をレジストパターンで覆ってB<sup>+</sup>イオンを注入し、続いてpチャネル型TFTを形成する領域をレジストパターンで覆ってP<sup>+</sup>イオンを注入することにより、相補型MOS(CMOS)回路を構成することができる。イオン注入後、活性化アニールを行う。ポリシリコン膜32aのうちイオン注入された領域が、ドレイン領域25D及びソース領域25Sになる。

【0033】図3に示すように、基板表面上の全領域にPE-CVDによりSiO<sub>2</sub>からなる厚さ30 nmのエッチング停止層36を堆積する。エッチング停止層36の上に、原料ガスとしてH<sub>2</sub>希釈のSiH<sub>4</sub>とNH<sub>3</sub>を用いたPE-CVDにより、SiNからなる厚さ250

10

nmの層間絶縁膜37を堆積する。

【0034】図4に示すように、層間絶縁膜37、エッチング停止層36、及び陽極酸化膜35bを貫通して所定の領域にコンタクトホールC3、C4及びC5を形成する。コンタクトホールC4及びC5の底面に、それぞれドレイン領域25D及びソース領域25Sの一部表面が現れ、コンタクトホールC3の底面に、ゲート線34b、ゲート絶縁膜33b及び下地SiO<sub>2</sub>膜31の一部表面が現れる。

【0035】SiNからなる層間絶縁膜37には、例えばエッチングガスとしてCF<sub>4</sub>を用いたRIEによりコンタクトホールが形成される。このエッチングは、SiO<sub>2</sub>からなるエッチング停止層36で自動的に停止する。エッチング停止層36には、例えば弗酸水溶液を用いたウェットエッチングによりコンタクトホールが形成される。このエッチングにより、コンタクトホールC4及びC5の底面に、それぞれドレイン領域25D及びソース領域25Sの一部表面が露出する。コンタクトホールC3の底面には、陽極酸化膜35b及び下地SiO<sub>2</sub>膜31の一部表面が露出する。

【0036】層間絶縁膜37のエッチングがエッチング停止層36で停止するため、ポリシリコン膜32aのドレイン領域25D及びソース領域25Sの表面が、RIEのエッチングガスに晒されない。ドレイン領域25D及びソース領域25Sの直上のエッチング停止層36には、ウェットエッチングによりコンタクトホールが形成される。このため、ドレイン領域25D及びソース領域25Sの表面荒れを防止することができる。

【0037】エッチング停止層36は、下地SiO<sub>2</sub>膜31に比べて十分薄いので、エッチング停止層36のエッチング時に過度のエッチングがあったとしても、下地SiO<sub>2</sub>膜31に与える影響は少ない。また、エッチング停止層36が無い場合でも、層間絶縁膜37と下地SiO<sub>2</sub>膜31とのエッチング耐性が異なるため、層間絶縁膜37のエッチングを過度に行っても、コンタクトホールC3の底面に露出した下地SiO<sub>2</sub>膜31に与える影響は少ない。

【0038】次に、クロム混酸を用いたウェットエッチングにより、コンタクトホールC3の底面に露出した陽極酸化膜35bをエッチング除去する。図4の中央の断面図に示すように、コンタクトホールC3の内周面がゲート線34bの内部領域に位置する断面内においては、陽極酸化膜35bがサイドエッチングされる。この結果、コンタクトホールC3の内周面の下部に窪み40が形成される。

【0039】図4の右側の断面図に示すように、コンタクトホールC3の内周面がゲート配線34bの外側に位置する断面内においては、ゲート配線34b表面の陽極酸化膜がすべて除去され、ゲート線34bの両側にゲート絶縁膜33bの一部及び下地SiO<sub>2</sub>膜31の一部が



(7)

11

露出する。

【0040】各コンタクトホールを埋め込むように、基板全面にスパッタリングによりTi/A1/Tiの3層からなるドレイン配線層を堆積する。上層及び下層のTi層の厚さは約100nm、A1層の厚さは200nmである。下側のTi層はA1層と層間絶縁膜37との密着性を高め、上側のTi層はフォトリソグラフィ時に反射防止膜として作用する。このドレイン配線層をパターニングし、コンタクトホールC4内を埋め込みドレイン領域25Dに接続されたドレイン線38a、コンタクトホールC5内を埋め込みソース領域25Sに接続されたソース引出線38b、及びコンタクトホールC3内を埋め込み、ゲート線34bに接続されたドレイン線38cを形成する。

【0041】図4の中央に示す断面図においては、コンタクトホールC3の内周面に窪み40が形成されているため、ドレイン線38cのカバレッジ率が低下する。これに対し、図4の右側の断面図においては、コンタクトホールC3の内周面に窪みが形成されていないため、カバレッジ率の低下を防止できる。コンタクトホールの内周面が、下層配線であるゲート線の外側に位置する断面内において、ゲート線とドレイン線とが安定して接続されるため、ゲート線とドレイン線との接続の信頼性の低下を回避することができる。

【0042】図5に示すように、基板表面の全領域にPE-CVDにより、SiNからなる厚さ200nmの層間絶縁膜41を堆積する。層間絶縁膜41の上にスパッタリングによりTi膜を堆積してパターニングし、所定の領域にブラックマトリクスBMを形成する。

【0043】ブラックマトリクスBM及び層間絶縁膜41の表面を覆うように、PE-CVDにより、SiNからなる厚さ300nmの層間絶縁膜42を堆積する。層間絶縁膜42及び41に、ソース引出線38bの上面を露出させるコンタクトホールC6を形成し、コンタクトホールC6内を埋め込むように、基板表面上の全領域に厚さ150nmのITO膜を堆積する。このITO膜の表面の所定の領域をマスクパターンで覆い、例えばシュウ酸を用いてITO膜の露出した部分をエッチングし、コンタクトホールC6を介してソース引出線38bに接続された透明画素電極43を形成する。

【0044】上記実施例では、上述のように、コンタクトホールをゲート線からはみ出して配置することにより、ゲート線とドレイン線との接続部の信頼性を高めることができる。また、ゲート線の表面は陽極酸化膜によって覆われているため、図1に示す画素部20においては、ゲート線とドレイン線との絶縁の信頼性を高く維持することができる。

【0045】次に、図6を参照して第1の実施例の変形例について説明する。図6は、第1の実施例の変形例によるゲート線とドレイン線との接続部の平面図を示す。

12

ゲート線50の端部が櫛歯状模様にされている。ドレイン線51の端部が層間絶縁膜を介してこの櫛歯状部分を被覆するように配置されている。層間絶縁膜には、一方に長い平面形状を有するコンタクトホール52が、ゲート線50の各櫛歯部分と交差するように複数個配置されている。

【0046】コンタクトホール52の内周面のうちゲート線50と重ならない部分において、図5の右端の断面図に示すような窪みのない内周面が得られる。図6に示すように、ゲート線を櫛歯状にし、各櫛歯部分に交差する複数のコンタクトホール52を配置することにより、窪みのない内周面の総延長を長くすることができる。このため、コンタクトホール52の内周面上に形成される上層と下層との接続部の幅を広く確保することができ、接続抵抗を低減させることができる。

【0047】図6のような接続箇所の平面構成は、特に大電流が流れる電源線の接続に有効である。なお、図6では、ゲート線の端部においてドレイン線と接続する場合を示したが、ゲート線の間中部において接続する場合には、ゲート線にスリットを設けて縞状模様を構成し、この縞に交差するようにコンタクトホールを配置することにより、同様の効果を得ることができる。

【0048】次に、図7Aを参照して、本発明の第2の実施例による上層配線と下層配線との接続箇所の構成及び作製方法を説明する。図7Aは、ゲート線とドレイン線との接続部の断面図を示す。図7Aの各構成部分には、図4の対応する構成部分と同一の参照符号を付して示している。

【0049】ガラス基板30の表面上に下地SiO<sub>2</sub>膜31が堆積され、その上の一部領域にゲート絶縁膜33bが形成されている。ゲート絶縁膜33bの上にゲート線34bが形成され、その表面が陽極酸化膜35bで覆われている。

【0050】陽極酸化膜35b、ゲート絶縁膜33b及び下地SiO<sub>2</sub>膜31の表面を覆うようにエッチング停止層36が形成され、その上に層間絶縁膜37が配置されている。ここまでの構成は、第1の実施例における図2A～図3と同様の工程で形成される。

【0051】第1の実施例の図4で説明した方法と同様の方法で、層間絶縁膜37、エッチング停止層36及び陽極酸化膜35bにコンタクトホール60を形成する。陽極酸化膜35bがサイドエッチングされ、コンタクトホール60の内周面下部に窪み61が形成される。窪み61の深さは、陽極酸化膜35bの厚さにほぼ等しい。

【0052】層間絶縁膜37の表面上及びコンタクトホール60の内面上に、スパッタリングによりTi膜38dを堆積する。TiはA1に比べて成膜時に下地表面上をマイグレーションし易いため、窪み61内を効果的に埋め込むことができる。窪み61内を完全に埋め尽くすためには、Ti膜38dの厚さを窪み61の深さ、すな

(8)

13

わち陽極酸化膜35bの厚さよりも厚くすることが好ましい。

【0053】Ti膜38dの表面上に、スパッタリングによりAl（下層）/Ti（上層）の2層からなるドレイン配線層38eを堆積する。Ti膜38d及びドレイン配線層38eをパターンニングしてドレイン配線を形成する。

【0054】図7Aに示すように、ドレイン配線層38eを堆積する前に、成膜時にマイグレーションし易いTiからなる膜を窪み61の深さ、すなわち陽極酸化膜35bの厚さよりも厚く堆積することにより、窪み61内を効果的に埋め尽くし、ドレイン線のカパレッジ率の低下を防止することができる。

【0055】図7Bは、第2の実施例の変形例による上層配線と下層配線との接続箇所の断面図を示す。図7Aでは、窪み61内を埋め込むためのTi膜38dを基板全面に配置しているが、図7BではTi膜をコンタクトホール60の内周面上にのみ配置している。その他の構成は図7Aの接続箇所と同様である。

【0056】まず図7Aの場合と同様に基板全面にTi膜を堆積し、エッチングガスとしてCl<sub>2</sub>とBCl<sub>3</sub>との混合ガスを用いた異方性のRIEにより平坦面上のTi膜を除去することにより、コンタクトホール60の内周面上にのみTi膜38fを残す。層間絶縁膜37の上面、Ti膜38fの表面及びコンタクトホール60の底面上にTi/Al/Tiの3層からなるドレイン配線層38gを堆積する。ドレイン配線層38gをパターンニングしてドレイン配線を形成する。

【0057】図7Bに示す変形例の場合も、ドレイン配線層38gを堆積する前に窪み61内がTiで埋め込まれるため、ドレイン線のカパレッジ率の低下を防止することができる。

【0058】図5に示すように、ドレイン線38cの上には、層間絶縁膜、透明画素電極等が配置されるため、ドレイン線の厚さをなるべく薄くすることが好ましい。図7Aに示す第2の実施例の場合には、ドレイン配線層38eの下にTi膜38dが配置されており、Ti膜38dの厚さは陽極酸化膜35bの厚さよりも厚くすることが好ましい。このため、ドレイン配線層38e自体の厚さを厚くすることが困難になる。

【0059】これに対し、図7Bに示す第2の実施例の変形例の場合には、Ti膜38fがコンタクトホール60の内周面上にのみ残され層間絶縁膜37の上のTi膜が除去されている。このため、ドレイン配線層38gの厚さを比較的厚くすることが可能になる。ドレイン配線層中のAlの抵抗率はTiのそれよりも低いため、ドレイン線の低抵抗化を図りやすくなる。

【0060】図7A及び図7Bでは、窪み61内を埋め込む材料としてTiを用いた場合を説明したが、ドレイン配線に使用されるAlよりもマイグレーションし易い

14

他の材料を用いても同様の効果が期待できる。例えば、TiN、Ta、Mo、W等を用いてもよい。また、図7Bに示す変形例の場合には、ドレイン配線層38gがゲート線34bに直接接触するため、窪み61内をSiO<sub>2</sub>等の無機絶縁性材料で埋め込んでもよい。

【0061】上記第1及び第2の実施例では、ゲート線の材料としてAlを用いた場合を説明したが、Al-Si、Al-Cu-Si、Al-Sc、またはAl-Zr等のAl合金を用いてもよい。また、ゲート線をTaで形成してもよい。ゲート線をTaで形成した場合には、ゲート線の表面を陽極酸化するとTa<sub>2</sub>O<sub>5</sub>の組成を有する陽極酸化膜が得られる。

【0062】また、上記第1及び第2の実施例では、TFT型LCDを例にとり、陽極酸化膜で被覆されたゲート線とその上層のドレイン線とを接続する場合を説明したが、これらの実施例は、より一般的に絶縁膜で被覆された下層配線とその上に層間絶縁膜を介して配置された上層配線とを接続する場合に適用できる。特に、下層配線を被覆する絶縁膜を異方性エッチングすることが困難であり、等方性エッチングを行ってコンタクトホールの内周面に窪みが形成されるような場合に有効である。

【0063】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0064】

【発明の効果】以上説明したように、本発明によれば、下層配線の表面を絶縁膜で被覆し、その上に層間絶縁膜を介して上層配線を配置する場合に、層間絶縁膜と下層配線の被覆絶縁膜にコンタクトホールを形成し、下層配線と上層配線とを信頼度よく接続することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるTFT型LCDの部分平面図である。

【図2】第1の実施例によるTFT型LCDの作製方法を説明するための、基板の断面図（その1）である。

【図3】第1の実施例によるTFT型LCDの作製方法を説明するための、基板の断面図（その2）である。

【図4】第1の実施例によるTFT型LCDの作製方法を説明するための、基板の断面図（その3）である。

【図5】第1の実施例によるTFT型LCDの作製方法を説明するための、基板の断面図（その4）である。

【図6】第1の実施例の変形例によるゲート線とドレイン線との接続箇所の平面図である。

【図7】第2の実施例及びその変形例によるTFT型LCDのゲート線とドレイン線との接続箇所の断面図である。

【図8】従来例によるTFT型LCDのゲート線とドレイン線との接続箇所の断面図である。

【符号の説明】

50

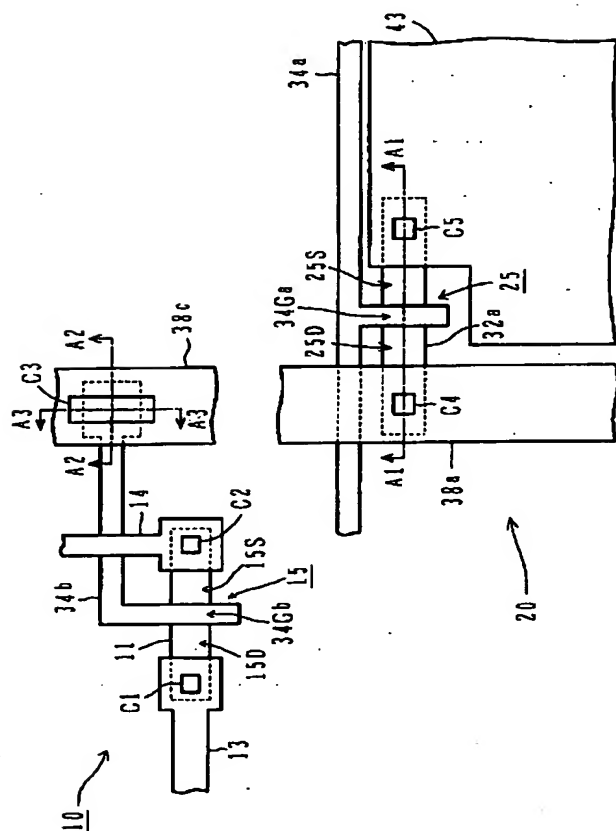


(9)

- 15  
13、14 配線  
15、25 TFT  
15D、25D ドレイン領域  
15S、25S ソース領域  
30 ガラス基板  
31 下地 $\text{SiO}_2$ 膜  
32、32a ポリシリコン膜  
33、33a、33b ゲート絶縁膜  
34 ゲート配線層  
34Ga、34Gb ゲート電極  
34a、34b ゲート線  
35a、35b 陽極酸化膜  
36 エッチング停止層  
37、41、42 層間絶縁膜  
38a、38c ドレイン線  
38d、38f Ti膜

【図1】

第1の実施例によるTFT型LCD

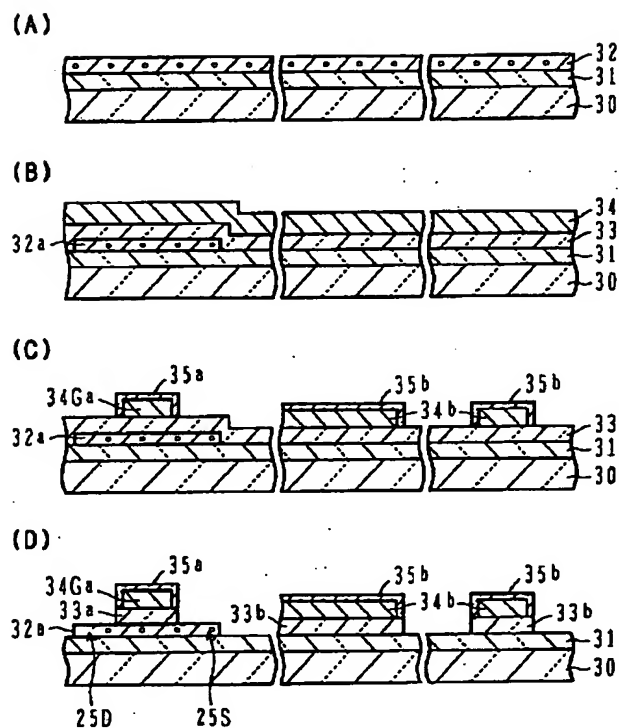


16

- 38e、38g ドレイン配線層  
40 窪み  
43 透明画素電極  
50 ゲート線  
51 ドレイン線  
52 コンタクトホール  
60 コンタクトホール  
61 窪み  
100 ガラス基板  
101 ゲート絶縁膜  
102 ゲート配線  
103 陽極酸化膜  
104 層間絶縁膜  
105 ドレイン配線  
106 コンタクトホール  
107 窪み

【図2】

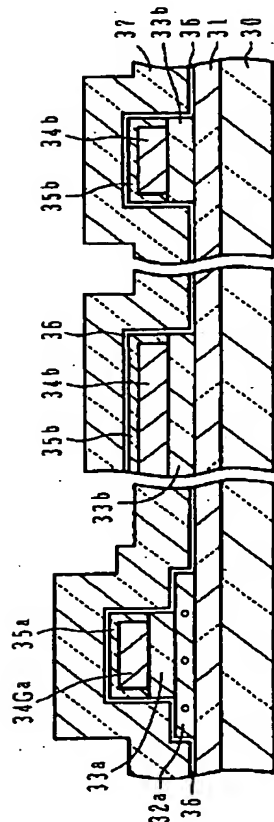
第1の実施例（その1）



(10)

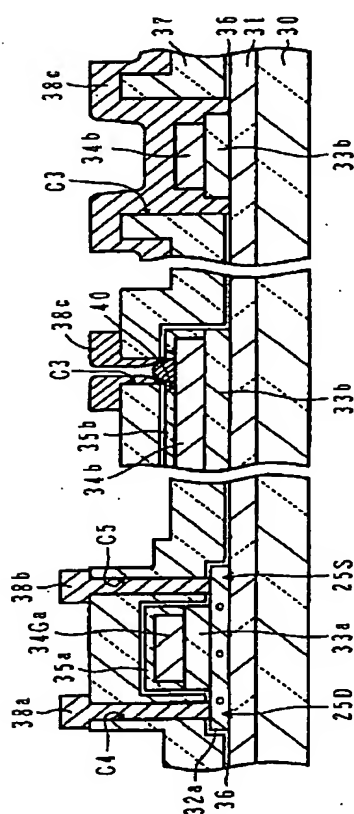
【図 3】

### 第1の実施例（その2）



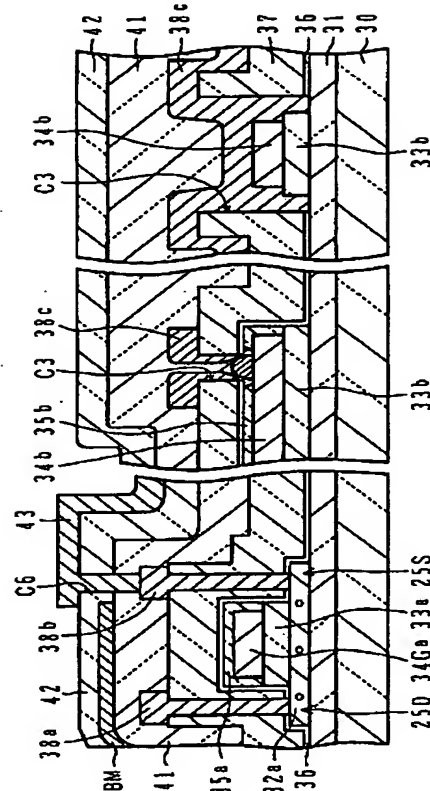
【図4】

### 第1の実施例（その3）



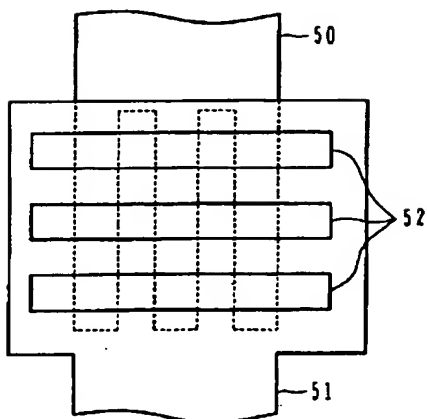
【図 5】

### 第1の実施例（その4）



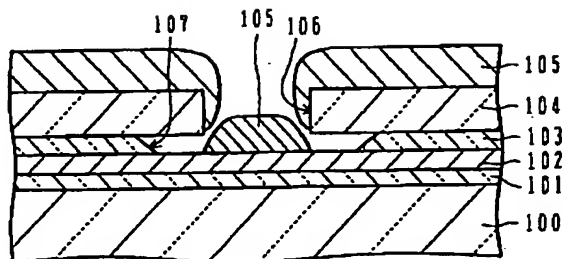
【図 6】

## 第1の実施例の変形例



【图8】

從來例

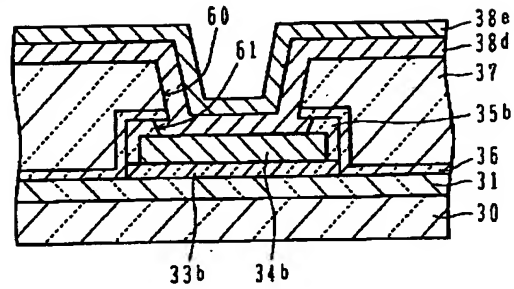


(11)

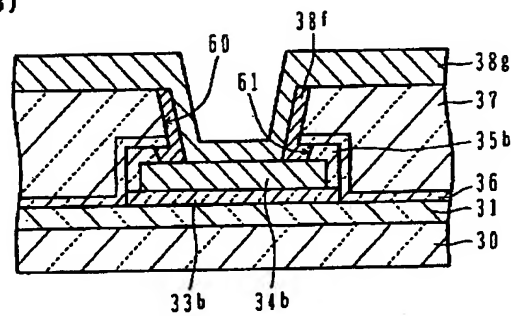
【図 7】

第 2 の実施例

(A)



(B)



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 27/088  
29/786  
21/336

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 1 2 C  
6 2 7 C

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-306990

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

H01L 21/768  
G02F 1/1343  
G02F 1/136  
H01L 21/306  
H01L 21/8234  
H01L 27/088  
H01L 29/786  
H01L 21/336

(21)Application number : 08-119304

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.05.1996

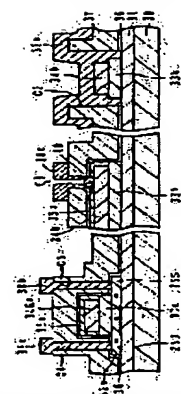
(72)Inventor : OHORI TATSUYA  
HORI TETSUO

## (54) ELECTRONIC CIRCUIT AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To avoid reduction of the coverage by elongating a second opening to a region outside a first wiring so that a cover insulation film does not appear on the inner wall of the second opening at an outer region of the first wiring to avoid forming a recess into the inner wall of the region.

**SOLUTION:** An anodic oxide film 35b exposed at the bottom of contact holes C3 is removed by wet etching. In the section where the inner wall of the contact hole C3 is located on an inner region of a gate line 34b, the film 35b is side-etched. As the result, a recess 40 is formed into a lower part of the inner wall of the hole C3. In the section where the inner wall of the contact hole C3 is located outside the gate line 34b, the anodic oxide film on the surface of the gate wiring 34b is entirely removed to expose part of a gate insulation film 33b and part of a base SiO<sub>2</sub> film 31 at both sides of the gate line 34b.



## LEGAL STATUS

[Date of request for examination]

29.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The substrate which has a top face, and lower layer wiring which has been arranged on said substrate and formed with the conductive ingredient, The covering insulator layer which covers the front face of said lower layer wiring, and the interlayer insulation film formed on said substrate so that said covering insulator layer might be covered, Opening which is formed in the layer contact field which extends to an external field exceeding the periphery of this lower layer wiring, and penetrates said interlayer insulation film and said covering insulator layer from the contrant region of said lower layer wiring, Electronic-circuitry equipment which has the upper wiring which has been arranged to some fields on said interlayer insulation film, and said layer contact field, and was electrically connected with said lower layer wiring in this layer contact field.

[Claim 2] Electronic-circuitry equipment according to claim 1 with which the etching resistance of the top face of said substrate in said layer contact field and said interlayer insulation film differs mutually.

[Claim 3] Furthermore, the channel film which has been arranged to some different fields from said layer contact field on the top face of said substrate, and was formed with the semiconductor material, The gate dielectric film which has been arranged to some fields on said channel film, and was formed of the insulating material, The gate electrode which it has been arranged on said gate dielectric film, and was deposited on said lower layer wiring and coincidence, Cover the front face of said gate electrode and said covering insulator layer and the gate covering film formed in coincidence are included. Electronic-circuitry equipment according to claim 1 or 2 with which it had the thin film transistor by which the field of the both sides of said gate electrode is formed into low resistance among said channel film, and said interlayer insulation film has covered said thin film transistor.

[Claim 4] Furthermore, electronic-circuitry equipment according to claim 3 which is arranged between the top face of said substrate, and said lower layer wiring, and has the lower layer insulator layer deposited on said gate dielectric film and coincidence.

[Claim 5] Furthermore, drain wiring which it has been arranged on said interlayer insulation film, connected with one field electrically through the contact hole among one pair of fields where said channel film was formed into low resistance, and was deposited on said upper wiring and coincidence, Electronic-circuitry equipment according to claim 3 or 4 which has the transparent electrode electrically connected to the field of another side through the contact hole among one pair of fields where it has been arranged on said interlayer insulation film, and said channel film was formed into low resistance.

[Claim 6] Electronic-circuitry equipment according to claim 5 which has the etching halt film which said channel film was formed of polish recon, said interlayer insulation film was formed with silicon nitride, and the both sides and etching resistance of polish recon and silicon nitride differed from each other further, and has been arranged between said channel film and said interlayer insulation films.

[Claim 7] Electronic-circuitry equipment according to claim 1 to 6 with which said lower layer wiring has the field arranged in the shape of a striped pattern, and intersects two or more stripes in the field to which said layer contact field has been arranged in the shape of [ of said lower layer wiring ] a striped pattern.

[Claim 8] Electronic-circuitry equipment according to claim 1 to 7 with which the part which has

expressed said covering insulator layer among the side faces of said opening has become depressed rather than the part which has expressed said interlayer insulation film.

[Claim 9] So that the process which forms lower layer metal wiring on this top face of the substrate which has a top face, the process which anodizes the front face of said lower layer metal wiring, and forms an oxide film on anode, and said oxide film on anode may be covered The process which forms the mask pattern which has opening over two fields ranging over the boundary line of the process which forms an interlayer insulation film on said substrate, and the field where said lower layer metal wiring was formed on said interlayer insulation film and the field which is not formed, The process which said interlayer insulation film is etched [ process ], and a contact hole is formed [ process ] by using said mask pattern as an etching mask, and exposes said some of oxide films on anode to the inside of a contact hole, Said anodized film exposed to the inside of said contact hole is etched. Said lower layer metal wiring a part The process at which a front face is exposed, The manufacture approach of electronic-circuitry equipment of having the process which forms the upper wiring electrically connected with said lower layer metal wiring on said interlayer insulation film and in said contact hole.

[Claim 10] The manufacture approach of the electronic-circuitry equipment according to claim 9 which the process into which the process which etches said interlayer insulation film etches into by the dry etching of an anisotropy, and etches said anodized film etches by isotropic wet etching.

[Claim 11] The substrate which has a top face, and lower layer wiring which has been arranged on said substrate and formed with the conductive ingredient, The covering insulator layer formed on the front face of said lower layer wiring, and the interlayer insulation film formed on said substrate so that said covering insulator layer might be covered, It is opening which is formed in a part of contrant region of said lower layer wiring, and penetrates said interlayer insulation film and said covering insulator layer. Said opening in which the part which has expressed said covering insulator layer among the side faces of this opening has become depressed rather than the part which has expressed said interlayer insulation film, The embedded field formed on the side face of said opening so that all the hollow parts that said covering insulator layer expressed at least might be filled, Electronic-circuitry equipment which has the upper wiring electrically connected with said lower layer wiring in the field in which it has been arranged on the inside of said opening, and the front face of said embedded field on said interlayer insulation film, and was formed in with a different ingredient from said embedded field, and said opening was formed.

[Claim 12] Electronic-circuitry equipment according to claim 11 with which said embedded field is formed only on the inner skin of said 1st and 2nd openings.

[Claim 13] Electronic-circuitry equipment according to claim 11 or 12 in which said embedded field is formed rather than said upper wiring with the metal which is easy to carry out migration at the time of membrane formation.

[Claim 14] Electronic-circuitry equipment according to claim 12 in which said embedded field is formed with the inorganic insulation ingredient.

[Claim 15] Furthermore, the channel film which has been arranged to some different fields from the field in which said opening on said substrate was formed, and was formed with the semiconductor material, The gate dielectric film which has been arranged to some fields on said channel film, and was formed of the insulating material, The gate electrode which it has been arranged on said gate dielectric film, and was deposited on said lower layer wiring and coincidence, Cover the front face of said gate electrode and said covering insulator layer and the gate covering film formed in coincidence are included. Electronic-circuitry equipment according to claim 11 to 14 with which it had the thin film transistor by which the field of the both sides of said gate electrode is formed into low resistance among said channel film, and said interlayer insulation film has covered said transistor.

[Claim 16] Furthermore, electronic-circuitry equipment according to claim 15 which is arranged between the top face of said substrate, and said lower layer wiring, and has the lower layer insulator layer deposited on said gate dielectric film and coincidence.



[Claim 17] Furthermore, drain wiring which it has been arranged on said interlayer insulation film, connected with one field electrically through the contact hole among one pair of fields where said channel film was formed into low resistance, and was deposited on said upper wiring and coincidence, Electronic-circuitry equipment according to claim 15 or 16 which has the transparent electrode electrically connected to the field of another side through the contact hole among one pair of fields where it has been arranged on said interlayer insulation film, and said channel film was formed into low resistance.

[Claim 18] Electronic-circuitry equipment according to claim 17 which has the etching halt film which said channel film was formed of polish recon, said interlayer insulation film was formed with silicon nitride, and the both sides and etching resistance of polish recon and silicon nitride differed from each other further, and has been arranged between said channel film and said interlayer insulation films.

[Claim 19] So that the process which forms lower layer metal wiring on this top face of the substrate which has a top face, the process which anodizes the front face of said lower layer metal wiring, and forms an oxide film on anode, and said oxide film on anode may be covered The process which forms the mask pattern which has opening in some fields in the process which forms an interlayer insulation film on said substrate, and the field in which it was formed on said interlayer insulation film, and said lower layer metal wiring was formed, The process which said interlayer insulation film is etched [ process ], and a contact hole is formed [ process ] by using said mask pattern as an etching mask, and exposes said some of oxide films on anode to the inside of a contact hole, The process which etches said anodized film exposed to the inside of said contact hole isotropic, The process which deposits the embedded film which is equal to the depth of said hollow, or has thickness thicker than it on the substrate front face in which side etching was carried out and said anodized film was formed, and which becomes depressed and includes inside, The process which deposits the upper wiring layer which covered the front face of said embedded film at least, was formed with a different ingredient from this embedded film, and was electrically connected with said lower layer metal wiring in said contact hole section, The manufacture approach of the electronic-circuitry equipment currently formed with the ingredient in which has the process which carries out patterning of said upper wiring layer, and forms the upper wiring, and said embedded film tends to carry out migration rather than said upper wiring layer at the time of membrane formation.

[Claim 20] Furthermore, the manufacture approach of the electronic-circuitry equipment according to claim 19 which includes the process which exposes the front face of said lower layer metal wiring on the base of said contact hole while removing said embedded film formed on the substrate flat side after the process which deposits said embedded film using anisotropic etching and leaving said embedded film on the side face of said contact hole, and in said crevice.

[Claim 21] The manufacture approach of electronic-circuitry equipment according to claim 20 that said embedded film is formed by the insulating material.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About the electronic-circuitry equipment which used the multilayer interconnection, and its manufacture approach, this invention covers especially the front face of lower layer wiring with an insulator layer, and relates to the electronic-circuitry equipment in which the interlayer insulation film was formed on this covering insulator layer, and its manufacture approach.

[0002]

[Description of the Prior Art] Drawing 8 shows the cross section of the connection of lower layer wiring and the upper wiring in the liquid crystal display panel (LCD) which used the thin film transistor (TFT).

[0003] Gate dielectric film 101 is formed on the front face of a glass substrate 100. In the field in which TFT is formed, the polish recon film is arranged between a glass substrate 100 and gate dielectric film 101. This polish recon film constitutes the channel of TFT, and the source / drain field. Since drawing 8 shows the connection of the upper wiring and lower layer wiring, the polish recon film is not formed in the illustrated field.

[0004] The gate wiring 102 which consists of aluminum is formed on gate dielectric film 101. Patterning of the gate wiring 102 is deposited and carried out at the same process as the gate electrode of TFT. The oxide film on anode 103 which anodized aluminum is formed in the front face of the gate wiring 102, and the interlayer insulation film 104 is formed all over the substrate including the front face of an oxide film on anode 103.

[0005] The drain wiring 105 which consists of aluminum is formed on the interlayer insulation film 104. Patterning of the drain wiring 105 is deposited and carried out at the same process as the drain electrode of TFT. The gate wiring 102 and the drain wiring 105 are arranged in the shape of a grid in the field to which the pixel has been arranged. Both wiring is mutually insulated with an interlayer insulation film 104 in the crossover part. An oxide film on anode 103 has the function which raises the dependability of the insulation between the gate wiring 102 and the drain wiring 105.

[0006] In the case of circumference circuit one apparatus LCD, in a circumference circuit, other transistors may be driven with the output signal of one transistor. Drain wiring of the transistor of the preceding paragraph is connected to gate wiring of a latter transistor at this time.

[0007] In connecting gate wiring and drain wiring, before depositing a drain wiring layer, it forms a contact hole 106 in an interlayer insulation film 104 and an oxide film on anode 103. Etching of the interlayer insulation film 104 for forming a contact hole 106 is performed by the dry etching of an anisotropy.

[0008] Since etching of an anodized film 103 does not have the suitable big etching gas of etch selectivity with the gate wiring 102, it is performed by the isotropic wet etching using a chromium mixed acid ( $\text{CrO}_3$ ,  $\text{HNO}_3$ ,  $\text{H}_3\text{PO}_4$ , and  $\text{CH}_3\text{COOH} + n\text{H}_2\text{O}$ ). For this reason, side etching of the anodized film 103 is carried out, it becomes depressed in the lower part of the inner circumference section of a contact hole 106, and 107 is formed.

[0009] A drain wiring layer is deposited by sputtering etc. all over the substrate front face in which the contact hole 106 was formed. Since it becomes depressed in the inner circumference section of a contact hole 106 and 107 is formed, the rate of coverage in the contact hole section falls, and it becomes easy to generate an open circuit of drain wiring. That is, the oxide film on anode for preventing the short circuit of gate wiring and drain wiring in the field in which the pixel was formed makes difficult connection between gate wiring and drain wiring in the field which forms a circumference circuit.

[0010]

[Problem(s) to be Solved by the Invention] As mentioned above, if the front face of gate wiring is anodized in order to raise the dependability of the insulation with gate wiring and drain wiring in the field

to which a pixel is arranged, in the field to which a circumference circuit is arranged, the dependability of the connection place of gate wiring and drain wiring will fall.

[0011] The purpose of this invention is offering the electronic-circuitry equipment which can raise the dependability of connection, and its manufacture approach in the connection place of both wiring, with the dependability of the insulation with lower layer wiring and the upper wiring maintained.

[0012]

[Means for Solving the Problem] The substrate which has a top face according to one viewpoint of this invention, and lower layer wiring which has been arranged on said substrate and formed with the conductive ingredient, The covering insulator layer which covers the front face of said lower layer wiring, and the interlayer insulation film formed on said substrate so that said covering insulator layer might be covered, Opening which is formed in the layer contact field which extends to an external field exceeding the periphery of this lower layer wiring, and penetrates said interlayer insulation film and said covering insulator layer from the contrant region of said lower layer wiring, It is arranged to some fields on said interlayer insulation film, and said layer contact field, and the electronic-circuitry equipment which has the upper wiring electrically connected with said lower layer wiring in this layer contact field is offered.

[0013] When forming the 1st opening in a covering insulator layer, side etching of the covering insulator layer may be carried out. If side etching of the covering insulator layer is carried out, a hollow will be formed in the inner skin of opening, and the rate of coverage of the upper wiring will fall. If it extends and the 2nd opening is arranged to the field in which the 1st wiring is not formed, in the external field of the 1st wiring, a covering insulator layer will not appear in the inner skin of the 2nd opening. Therefore, since a hollow is not formed in the inner skin of this field, decline in the rate of coverage can be prevented.

[0014] So that the process which forms lower layer metal wiring on this top face of the substrate which has a top face, the process which anodizes the front face of said lower layer metal wiring, and forms an oxide film on anode, and said oxide film on anode may be covered according to other viewpoints of this invention The process which forms the mask pattern which has opening over two fields ranging over the boundary line of the process which forms an interlayer insulation film on said substrate, and the field where said lower layer metal wiring was formed on said interlayer insulation film and the field which is not formed, The process which said interlayer insulation film is etched [ process ], and a contact hole is formed [ process ] by using said mask pattern as an etching mask, and exposes said some of oxide films on anode to the inside of a contact hole, Said anodized film exposed to the inside of said contact hole is etched. Said lower layer metal wiring a part The process at which a front face is exposed, The manufacture approach of electronic-circuitry equipment of having the process which forms the upper wiring electrically connected with said lower layer metal wiring on said interlayer insulation film and in said contact hole is offered.

[0015] When etching an anodized film and forming a contact hole, side etching of the anodized film may be carried out. If side etching of the anodized film is carried out, a hollow will be formed in the inner skin of a contact hole, and the rate of coverage of the upper wiring will fall. If it extends and a contact hole is arranged to the external field of lower layer metal wiring, in the external field of lower layer metal wiring, an oxide film on anode will not appear in the inner skin of a contact hole. Therefore, since a hollow is not formed in the inner skin of this field, decline in the rate of coverage can be prevented.

[0016] The substrate which has a top face according to other viewpoints of this invention, and lower layer wiring which has been arranged on said substrate and formed with the conductive ingredient, The covering insulator layer formed on the front face of said lower layer wiring, and the interlayer insulation film formed on said substrate so that said covering insulator layer might be covered, It is opening which is formed in a part of contrant region of said lower layer wiring, and penetrates said interlayer insulation film and said covering insulator layer. Said opening in which the part which has expressed said covering insulator layer among the side faces of this opening has become depressed rather than the part which has expressed said interlayer insulation film, The embedded field formed on the side face of said opening

so that all the hollow parts that said covering insulator layer expressed at least might be filled, The electronic-circuitry equipment which has the upper wiring electrically connected with said lower layer wiring in the field in which it has been arranged on the inside of said opening and the front face of said embedded field on said interlayer insulation film, and was formed in with a different ingredient from said embedded field, and said opening was formed is offered.

[0017] By filling with an embedded field the part into which the inner skin of opening became depressed, decline in the rate of coverage of the upper wiring can be prevented. So that the process which forms lower layer metal wiring on this top face of the substrate which has a top face, the process which anodizes the front face of said lower layer metal wiring, and forms an oxide film on anode, and said oxide film on anode may be covered according to other viewpoints of this invention The process which forms the mask pattern which has opening in some fields in the process which forms an interlayer insulation film on said substrate, and the field in which it was formed on said interlayer insulation film, and said lower layer metal wiring was formed, The process which said interlayer insulation film is etched [ process ], and a contact hole is formed [ process ] by using said mask pattern as an etching mask, and exposes said some of oxide films on anode to the inside of a contact hole, The process which etches said anodized film exposed to the inside of said contact hole isotropic, The process which deposits the embedded film which is equal to the depth of said hollow, or has thickness thicker than it on the substrate front face in which side etching was carried out and said anodized film was formed, and which becomes depressed and includes inside, The process which deposits the upper wiring layer which covered the front face of said embedded film at least, was formed with a different ingredient from this embedded film, and was electrically connected with said lower layer metal wiring in said contact hole section, It has the process which carries out patterning of said upper wiring layer, and forms the upper wiring, and the manufacture approach of the electronic-circuitry equipment currently formed with the ingredient in which said embedded film tends to carry out migration rather than said upper wiring layer at the time of membrane formation is offered.

[0018] By filling the hollow of the inner skin of a contact hole with the embedded film, decline in the rate of coverage of the upper wiring can be prevented.

[0019]

[Embodiment of the Invention] With reference to drawing 1 - drawing 5 , the configuration and the manufacture approach of the TFT mold LCD by the 1st example of this invention are explained.

[0020] Drawing 1 shows the part plan of the TFT mold LCD by the 1st example. The TFT mold LCD is divided into the circumference circuit section 10 and the pixel section 20. Gate line 34a which extends in the longitudinal direction of drawing in the pixel section 20, and drain wire 38a which extends in a lengthwise direction are arranged in the shape of a grid. Gate line 34a and drain wire 38a are formed of aluminum, and both wiring is mutually insulated with the interlayer insulation film in the crossover part.

[0021] TFT25 is arranged corresponding to the crossover part of gate line 34a and drain wire 38a. TFT25 is constituted including rectangle-like polish recon film 32a and gate electrode 34Ga arranged through gate dielectric film on it. Gate electrode 34Ga is following gate line 34a. In carrying out to the impurity for giving conductivity to the field of the both sides of gate electrode 34Ga, for example, n mold, when making it Lynn (P) and p mold, impurities, such as boron (B), are added by polish recon film 32a, and drain field 25D and source field 25S are demarcated.

[0022] Drain field 25D is connected to drain wire 38a through the contact hole C4. Source field 25S are connected to the transparence pixel electrode 43 which consists of indium tin oxide (ITO) etc. through a contact hole C5.

[0023] TFT15 is arranged in the circumference circuit 10. TFT15 has the configuration of TFT25, and the same basic configuration, and is constituted including the polish recon film 11 and gate electrode 34Gb. Gate electrode 34Gb follows gate line 34b, and gate line 34b is connected to drain wire 38c through the contact hole C3. The contact hole C3 is protruded and arranged to the exterior of the field where gate line 34b has been arranged.

[0024] Drain field 15D is connected to the upper wiring 13 through a contact hole C1, and source field 15S are connected to the upper wiring 14 through the contact hole C2.

[0025] Next, the production approach of LCD is explained with reference to drawing 2 A - drawing 2 D, drawing 3 - drawing 5. Drawing 2 A - drawing 5 are the fragmentary sectional views of LCD shown in drawing 1 R> 1, and the sectional view of the left-hand side of each drawing, a center, and right-hand side is equivalent to the sectional view in alternate long and short dash line A1-A1, A2-A2, and A3-A3 of drawing 1, respectively.

[0026] It is the substrate SiO<sub>2</sub> with a thickness of 200nm by the plasma excitation mold chemical vapor deposition (PE-CVD) which used a silane (SiH<sub>4</sub>) and oxygen (O<sub>2</sub>) as material gas on the transparence glass substrate 30 as shown in drawing 2 A. The film 31 is deposited. Substrate SiO<sub>2</sub> SiH<sub>4</sub> of the hydrogen (H<sub>2</sub>) dilution as material gas on the film 31 By used PE-CVD, the amorphous silicon film with a thickness of 50nm is deposited. Energy-density 250 mJ/cm<sup>2</sup> after depositing the amorphous silicon film By laser annealing using excimer laser, an amorphous silicon is crystallized and the polish recon film 32 is formed.

[0027] As shown in drawing 2 B, patterning of the polish recon film 32 is carried out, and it leaves polish recon film 32a to the field which should form TFT25 of drawing 1. In addition, it also leaves the polish recon film 11 to the field which should form TFT15 of drawing 1 at this time. Patterning of the polish recon film 32 is CF<sub>4</sub> as etching gas. Used reactive ion etching (RIE) performs.

[0028] polish recon film 32a -- a wrap -- like -- all the fields of the top face of a substrate -- PE-CVD -- SiO<sub>2</sub> from -- gate dielectric film 33 with a thin thickness of 150nm is deposited. On gate dielectric film 33, the gate wiring layer 34 with a thickness of 300nm it is thin from aluminum with sputtering is deposited.

[0029] As shown in drawing 2 C, patterning of the gate wiring layer 34 is carried out, and it leaves gate electrode 34Ga to some fields on polish recon film 32a, and leaves gate line 34b to the field which should form wiring. At this time, gate line 34a shown in drawing 1 and gate electrode 34Gb are also formed in coincidence. Patterning of the gate wiring layer 34 is Cl<sub>2</sub> as etching gas. BCl<sub>3</sub> RIE using mixed gas performs.

[0030] a substrate -- oxalic acid (COOH) (2 2H<sub>2</sub> O) -- being immersed -- the front face of gate electrode 34Ga and gate line 34b -- anodizing -- each front face -- aluminum 2O<sub>3</sub> from -- the oxide films on anode 35a and 35b with a thin thickness of 120nm are formed. Other gate electrodes and gate lines are also covered with an oxide film on anode.

[0031] As shown in drawing 2 D, anodized films 35a and 35b are used as an etching mask, and it is CHF<sub>3</sub> as etching gas. Gate dielectric film 33 is etched by used RIE. Etching is suspended when the front face of polish recon film 32a is exposed in the field of the both sides of gate electrode 34Ga.

[0032] The ion implantation of the impurity is carried out to polish recon film 32a by using gate electrode 34Ga and oxide-film-on-anode 35a as a mask. The field which forms the n channel mold TFT is covered with a resist pattern, and it is B<sup>+</sup>. The field which pours in ion, and forms the p channel mold TFT continuously is covered with a resist pattern, and it is P<sup>+</sup>. The complementary MOS (CMOS) circuit can be constituted by pouring in ion. Activation annealing is performed after an ion implantation. The field by which the ion implantation was carried out among polish recon film 32a is set to drain field 25D and source field 25S.

[0033] it is shown in drawing 3 -- as -- all the fields on a substrate front face -- PE-CVD -- SiO<sub>2</sub> from -- the etching halt layer 36 with a thin thickness of 30nm is deposited. On the etching halt layer 36, it is H<sub>2</sub> as material gas. SiH<sub>4</sub> of dilution NH<sub>3</sub> By used PE-CVD, the interlayer insulation film 37 with a thickness of 250nm it is thin from SiN is deposited.

[0034] As shown in drawing 4, an interlayer insulation film 37, the etching halt layer 36, and oxide-film-on-anode 35b are penetrated, and contact holes C3, C4, and C5 are formed in a predetermined field. the base of contact holes C4 and C5 -- respectively -- drain field 25D and a part of source field 25S -- a front face -- appearing -- the base of a contact hole C3 -- gate line 34b, gate-dielectric-film 33b, and

substrate SiO<sub>2</sub> some film 31 — a front face appears.

[0035] In the interlayer insulation film 37 which consists of SiN, it is CF<sub>4</sub> as etching gas. A contact hole is formed of used RIE. This etching stops automatically in the etching halt layer 36 which consists of SiO<sub>2</sub>. A contact hole is formed in the etching halt layer 36 of the wet etching which used for example, the fluoric acid water solution. this etching — the base of contact holes C4 and C5 — respectively — drain field 25D and a part of source field 25S — a front face is exposed. the base of a contact hole C3 — oxide-film-on-anode 35b and substrate SiO<sub>2</sub> some film 31 — a front face is exposed.

[0036] Since etching of an interlayer insulation film 37 stops in the etching halt layer 36, drain field 25D of polish recon film 32a and the front face of source field 25S are not exposed to the etching gas of RIE. A contact hole is formed in drain field 25D and the etching halt layer 36 of the right above of source field 25S of wet etching. For this reason, drain field 25D and the surface dry area of source field 25S can be prevented.

[0037] The etching halt layer 36 is a substrate SiO<sub>2</sub>. Since it is sufficiently thin compared with the film 31, even if there is too much etching at the time of etching of the etching halt layer 36, it is a substrate SiO<sub>2</sub>. There is little effect which it has on the film 31. Moreover, even when there is no etching halt layer 36, they are an interlayer insulation film 37 and a substrate SiO<sub>2</sub>. Substrate SiO<sub>2</sub> exposed to the base of a contact hole C3 even if it etched the interlayer insulation film 37 too much, since etching resistance with the film 31 differed There is little effect which it has on the film 31.

[0038] Next, etching removal of the anodized film 35b exposed to the base of a contact hole C3 is carried out by the wet etching using a chromium mixed acid. As shown in the sectional view of the center of drawing 4 , side etching of the anodized film 35b is carried out into the cross section where the inner skin of a contact hole C3 is located in the contrant region of gate line 34b. Consequently, it becomes depressed in the lower part of the inner skin of a contact hole C3, and 40 is formed.

[0039] All the oxide films on anode of a gate wiring 34b front face are removed in the cross section where the inner skin of a contact hole C3 is located in the outside of gate wiring 34b as shown in the sectional view on the right-hand side of drawing 4 , and it is the part and substrate SiO<sub>2</sub> of gate-dielectric-film 33b to the both sides of gate line 34b. Some film 31 is exposed.

[0040] The drain wiring layer which consists of three layers of Ti/aluminum/Ti by sputtering all over a substrate is deposited so that each contact hole may be embedded. The thickness of about 100nm and aluminum layer of the thickness of the upper layer and lower layer Ti layer is 200nm. Lower Ti layer raises the adhesion of aluminum layer and an interlayer insulation film 37, and upper Ti layer acts as an antireflection film at the time of a photolithography. Patterning of this drain wiring layer is carried out, the inside of drain wire 38a which embedded the inside of a contact hole C4, and was connected to drain field 25D, and a contact hole C5 is embedded, the inside of source field 25 source leader line 38b connected to S and a contact hole C3 is embedded, and drain wire 38c connected to gate line 34b is formed.

[0041] In the sectional view shown in the center of drawing 4 , since it becomes depressed in the inner skin of a contact hole C3 and 40 is formed, the rate of coverage of drain wire 38c falls. On the other hand, in the sectional view on the right-hand side of drawing 4 , since the hollow is not formed in the inner skin of a contact hole C3, decline in the rate of coverage can be prevented. Since a gate line and a drain wire are stabilized and connected into the cross section located in the outside of a gate line whose inner skin of a contact hole is lower layer wiring, the fall of the dependability of connection between a gate line and a drain wire is avoidable.

[0042] As shown in drawing 5 , the interlayer insulation film 41 with a thickness of 200nm it is thin from SiN is deposited on all the fields on the front face of a substrate by PE-CVD. Ti film is deposited by sputtering on an interlayer insulation film 41, patterning is carried out and the black matrix BM is formed in a predetermined field.

[0043] The interlayer insulation film 42 with a thickness of 300nm it is thin from SiN is deposited by PE-CVD so that the front face of the black matrix BM and an interlayer insulation film 41 may be covered.



The ITO film with a thickness of 150nm is deposited on all the fields on a substrate front face so that the contact hole C6 to which the top face of source leader line 38b is exposed may be formed in interlayer insulation films 42 and 41 and the inside of a contact hole C6 may be embedded at them. The part which covered the predetermined field of the front face of this ITO film with the mask pattern, for example, the ITO film exposed using oxalic acid is etched, and the transparency pixel electrode 43 connected to source leader line 38b through the contact hole C6 is formed.

[0044] In the above-mentioned example, the dependability of the connection of a gate line and a drain wire can be raised by protruding a contact hole from a gate line and arranging it as mentioned above. Moreover, since the front face of a gate line is covered with the oxide film on anode, it can maintain highly the dependability of the insulation with a gate line and a drain wire in the pixel section 20 shown in drawing 1.

[0045] Next, the modification of the 1st example is explained with reference to drawing 6. Drawing 6 shows the top view of the connection of the gate line and drain wire by the modification of the 1st example. The edge of the gate line 50 is made into the ctenidium-like pattern. It is arranged so that the edge of a drain wire 51 may cover this ctenidium-like part through an interlayer insulation film. Two or more contact holes 52 which have a long flat-surface configuration in an one direction are arranged at the interlayer insulation film so that each ctenidium part of the gate line 50 may be intersected.

[0046] In the part which does not lap with the gate line 50 among the inner skin of a contact hole 52, inner skin without a hollow as shown in the sectional view at the right end of drawing 5 is obtained. As shown in drawing 6, the total extension of inner skin without a hollow can be lengthened by making a gate line into the shape of a ctenidium, and arranging two or more contact holes 52 which intersect each ctenidium part. For this reason, the width of face of the connection of the upper layer and the lower layer which are formed on the inner skin of a contact hole 52 can be secured widely, and connection resistance can be reduced.

[0047] Especially a flat-surface configuration of a connection place like drawing 6 is effective in connection of the power-source line by which a high current flows. In addition, although drawing 6 showed the case where it connected with a drain wire in the edge of a gate line, when connecting in the pars intermedia of a gate line, the same effectiveness can be acquired by preparing a slit in a gate line, constituting a stripes-like pattern, and arranging a contact hole so that these stripes may be intersected.

[0048] Next, with reference to drawing 7 A, the configuration and the production approach of a connection place of the upper wiring and lower layer wiring by the 2nd example of this invention are explained. Drawing 7 A shows the sectional view of the connection of a gate line and a drain wire. The same reference mark as the component to which drawing 4 corresponds is attached and shown in each component of drawing 7 A.

[0049] the front-face top of a glass substrate 30 -- substrate SiO<sub>2</sub> the film 31 accumulates -- having -- the part on it -- gate-dielectric-film 33b is formed in the field. Gate line 34b is formed on gate-dielectric-film 33b, and the front face is covered by oxide-film-on-anode 35b.

[0050] Oxide-film-on-anode 35b, gate-dielectric-film 33b, and substrate SiO<sub>2</sub> The etching halt layer 36 is formed so that the front face of the film 31 may be covered, and the interlayer insulation film 37 is arranged on it. The configuration so far is formed at the same process as drawing 2 R>2A in the 1st example -- drawing 3.

[0051] A contact hole 60 is formed in an interlayer insulation film 37, the etching halt layer 36, and oxide-film-on-anode 35b by the approach explained by drawing 4 of the 1st example, and the same approach. Side etching of the anodized film 35b is carried out, it becomes depressed in the inner skin lower part of a contact hole 60, and 61 is formed. The depth of a hollow 61 is almost equal to the thickness of oxide-film-on-anode 35b.

[0052] On the front face of an interlayer insulation film 37, and the inside of a contact hole 60, 38d of Ti film is deposited by sputtering. Since Ti tends to carry out migration of the substrate front-face top

compared with aluminum at the time of membrane formation, it can embed the inside of a hollow 61 effectively. In order to fill the inside of a hollow 61 completely, it is desirable to become depressed and to make thickness of 38d of Ti film thicker than the depth of 61, i.e., the thickness of oxide-film-on-anode 35b.

[0053] On the front face of 38d of Ti film, drain wiring layer 38e which consists of two-layer [ of aluminum (lower layer)/Ti (upper layer) ] by sputtering is deposited. Patterning of 38d of Ti film and the drain wiring layer 38e is carried out, and drain wiring is formed.

[0054] As shown in drawing 7 A, before depositing drain wiring layer 38e, by becoming depressed and depositing more thickly than the depth of 61, i.e., the thickness of oxide-film-on-anode 35b, the film which consists of Ti which is easy to carry out migration at the time of membrane formation, the inside of a hollow 61 can be filled effectively and decline in the rate of coverage of a drain wire can be prevented.

[0055] Drawing 7 B shows the sectional view of the connection place of the upper wiring and lower layer wiring by the modification of the 2nd example. Although 38d of Ti film for embedding the inside of a hollow 61 is arranged all over a substrate in drawing 7 A, Ti film is arranged only on the inner skin of a contact hole 60 in drawing 7 B. Other configurations are the same as that of the connection place of drawing 7 A.

[0056] Ti film is first deposited all over a substrate like the case of drawing 7 A, and it is Cl2 as etching gas. BCl3 By removing Ti film on a flat side by RIE of an anisotropy using mixed gas, it leaves 38f of Ti film only on the inner skin of a contact hole 60. 38g of drain wiring layers which consist of three layers of Ti/aluminum/Ti is deposited on the top face of an interlayer insulation film 37, the front face of 38f of Ti film, and the base of a contact hole 60. Patterning of the 38g of the drain wiring layers is carried out, and drain wiring is formed.

[0057] Also in the modification shown in drawing 7 B, since it becomes depressed before depositing 38g of drain wiring layers, and the inside of 61 is embedded by Ti, decline in the rate of coverage of a drain wire can be prevented.

[0058] As shown in drawing 5, since an interlayer insulation film, a transparence pixel electrode, etc. are arranged on drain wire 38c, it is desirable to make thickness of a drain wire as thin as possible. In the case of the 2nd example shown in drawing 7 A, 38d of Ti film is arranged under drain wiring layer 38e, and, as for the thickness which is 38d of Ti film, it is desirable to make it thicker than the thickness of oxide-film-on-anode 35b. For this reason, it becomes difficult to thicken thickness of the drain wiring layer 38e itself.

[0059] On the other hand, in the case of the modification of the 2nd example shown in drawing 7 B, 38f of Ti film is left behind only on the inner skin of a contact hole 60, and Ti film on an interlayer insulation film 37 is removed. For this reason, it becomes possible to make comparatively thick thickness of 38g of drain wiring layers. Since the resistivity of aluminum in a drain wiring layer is lower than that of Ti, it becomes easy to attain low resistance-ization of a drain wire.

[0060] Although drawing 7 A and drawing 7 B explained the case where Ti was used as an ingredient which embeds the inside of a hollow 61, the same effectiveness is expectable even if it uses other ingredients which are easy to carry out migration rather than aluminum used for drain wiring. For example, TiN, Ta, Mo, W, etc. may be used. in order that [ moreover, ] 38g of drain wiring layers may contact directly at gate line 34b in the case of the modification shown in drawing 7 B -- the inside of a hollow 61 -- SiO2 etc. -- you may also embed with an inorganic insulation ingredient:

[0061] Although the 1st and 2nd examples of the above explained the case where aluminum was used as an ingredient of a gate line, aluminum alloys, such as aluminum-Si, aluminum-Cu-Si, aluminum-Sc, or aluminum-Zr, may be used. Moreover, a gate line may be formed by Ta. When a gate line is formed by Ta and the front face of a gate line is anodized, it is Ta 2O5. The oxide film on anode which has a presentation is obtained.

[0062] Moreover, although the case where the gate line which took the TFT mold LCD for the example

and was covered in the 1st and 2nd examples of the above by the oxide film on anode, and the drain wire of the upper layer were connected was explained, these examples can be applied when connecting lower layer wiring more generally covered with the insulator layer, and the upper wiring arranged through an interlayer insulation film on it. It is difficult to carry out anisotropic etching of the insulator layer which covers lower layer wiring especially, and it is effective, when isotropic etching is performed and a hollow is formed in the inner skin of a contact hole.

[0063] Although this invention was explained in accordance with the example above, this invention is not restricted to these. For example, probably, it will be obvious to this contractor for various modification, amelioration, combination, etc. to be possible.

[0064]

[Effect of the Invention] As explained above, when according to this invention covering the front face of lower layer wiring with an insulator layer and arranging the upper wiring through an interlayer insulation film on it, a contact hole is formed in an interlayer insulation film and the covering insulator layer of lower layer wiring, and it can \*\* connecting lower layer wiring and the upper wiring with sufficient reliability.

---

[Translation done.]

#### **\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### **DESCRIPTION OF DRAWINGS**

[Brief Description of the Drawings]

[Drawing 1] It is the part plan of the TFT mold LCD by the 1st example of this invention.

[Drawing 2] It is the sectional view (the 1) of a substrate for explaining the production approach of the TFT mold LCD by the 1st example.

[Drawing 3] It is the sectional view (the 2) of a substrate for explaining the production approach of the TFT mold LCD by the 1st example.

[Drawing 4] It is the sectional view (the 3) of a substrate for explaining the production approach of the TFT mold LCD by the 1st example.

[Drawing 5] It is the sectional view (the 4) of a substrate for explaining the production approach of the TFT mold LCD by the 1st example.

[Drawing 6] It is the top view of the connection place of the gate line and drain wire by the modification of the 1st example.

[Drawing 7] It is the sectional view of the connection place of the gate line of the TFT mold LCD and drain wire by the 2nd example and its modification.

[Drawing 8] It is the sectional view of the connection place of the gate line of the TFT mold LCD and drain wire by the conventional example.

[Description of Notations]

13 14 Wiring

15 25 TFT  
15D, 25D Drain field  
15S, 25S Source field  
30 Glass Substrate  
31 Substrate SiO<sub>2</sub> Film  
32 32a Polish recon film  
33, 33a, 33b Gate dielectric film  
34 Gate Wiring Layer  
34Ga(s), 34Gb Gate electrode  
34a, 34b Gate line  
35a, 35b Oxide film on anode  
36 Etching Halt Layer  
37, 41, 42 Interlayer insulation film  
38a, 38c Drain wire  
38d, 38f Ti film  
38e, 38g Drain wiring layer  
40 Hollow  
43 Transparence Pixel Electrode  
50 Gate Line  
51 Drain Wire  
52 Contact Hole  
60 Contact Hole  
61 Hollow  
100 Glass Substrate  
101 Gate Dielectric Film  
102 Gate Wiring  
103 Oxide Film on Anode  
104 Interlayer Insulation Film  
105 Drain Wiring  
106 Contact Hole  
107 Hollow

---

[Translation done.]